三明學院

SANMING UNIVERSITY

ώ

γ β

二〇二三年十二月

目　录

ḱ

ٖ\ r L

EDA

ῷ

ὣ ( )

O	ๅ r L				
	̃ ع̇ h ỉ				
ḱ	ḱ ḱ			№	2
			32	ỉ	0
ᵛᵎᶦ					
A ὣ ḱ ἳ U	ὣ ḱ ๅ r U ๅ r				
B	ๅ r L Ḥ ḱ ᵛᵎᶦ ๅ r L ἳ ᐱ L ̃ ع̇ ŋ ί ๅ r L № ع̇ ɀ ἳ ═ ̃ ɀ				
C	1. ๅ r ع̇ ΰ ᛅ ἳ ỉ L ̃ ๅ r L ɀ 2. ί ๅ r ع̇ № ɀ ί ᾶ ΰ ᵛᵎᶦ ɀ ί ๅ r ΰ ع̇ ᘐ ˛ ɀ 3. ί ๅ r ɀ ═ i ̃ ɀ Ī 4. Ī ĭ Ī ƀ ع̇ ⊦ ί ع̇				

D ኍ			

E ό	ό	№		
				ᵛᶦᶦ
	ኅ r ΐ			5
	r	4	0	6
	. ῤ ⊥	8	0	14
	⊥ ؼ	8	0	8
	˜ ؼ	4	0	6
	Έ ΐ L	5		6
	ᵛᶦᶦ	32	0	32

F	h № ᵛᶦᶦ ƀ ƀ ᵛᶦᶦ ȉ ____________________

G	≢	ό		˜ ’ Ώ3	
				῞Ḥ	

	1					
	2					
	3					
	4					
	5					
	6					
	7					
	8					
	9					
	10					
	11					
	12					
	13					
	14					
	15					

	16					
	17					
	18					
H	ĩ №					
			ɓ ˦ ̋Ḫ		1 2 3 4	
					1 2 3	
I ĩ	1. ꞁ r L ΄E ₮ 2020 6					
J	r					
K						

	2 O
	2 O
	ƀ ƀ

ῼ ( )

O	EDA				
	˜ ع h ἳ				
ḱ	ḱ ḱ			№	2
			32	ἳ	16
ᵕ					
A ῼ ḱ ἵ U	ῼ ḱ № C U				
B	EDA ع ἱ ὒ ἱ ع ὒ ⊥ ἱ (HDL) ˜ w HDL № U ASIC FPGA w SoC FPGA_Verilog HDL Verilog _HDL ἳ w ἳ FPGA U Verilog_HDL Verilog_HDL ƀ ą ἳ U ὒ ὒ				
	1. FPGA_Verilog HDL ₱ ʐ				

C	2. FPGA_Verilog HDL ع ẇ 3. FPGA_Verilog HDL ṿ ع ˜ ẇ ═ № 4. FPGA_Verilog HDL ί ═ ; Ī 5. Ī ˜ ˥ ˥ ƀ Ī

D			
ˠ			

E ṗ	ṗ	№		
	ɏ		2	4
	ῆ		2	4
			2	6
	o Ḥ		2	4
	Ḥ		2	6
		0	6	6
		16	16	32

F h № ƀ

ƀ

ỉ

~

’ Ώ3

≢ ῤ

῎Ḥ

1 ꝟ

2 ῎Ḥ

G 3

4 Ḥ o

5 Ḥ῀

6

ῗ №

H ƀ ۲ 1 2 3 4

῎Ḥ

J	r ḹ ̰
K	
	2 O
	2 O
	ƀ ƀ

ῷ ( )

O					
	˜ ἐ h ȉ				ର
ḱ	ḱ ḱ			№	2
			48	ȉ	16
ᵛᵎ					
A ῷ ḱ ȉ̋ U	ῷ ḱ № ᶇ ᵣ U ᶇ ᵣ ᴸ				
B	ṕ flip chip U \\| ᵝ ȉ ῷ h . . ∖ ȕ ṗ ´ ᴸ ƀ ṗ				
C	1. ᶇ ᵣ /| ȉ̋ ȕ ╞ ʓ 2. ἐ 3. ‶ ȉ́ ʓ Ī 4. Ī ˜ ˥ ˥ ƀ Ī				

D

ῤ №

╠ 2 0 2

E

ῤ

£ C é S t v

	5	ῷ	1 2 3 4			+ ƀ
	6	EDA	1 2 3 4			+ ƀ
H	ἳ №					
	10%		Ꞩ Ⴤ 10№ №9№ Ⴤ 1№/ ⌠ 0.5/ Ẋ 0.25/ ΰ ✔ 0.5-1 № № 10№		1 2 3 4	
	30%				1 2 3 4	
	60%		ϸ+ ج ┗ ƀ		1 2 3 4	
I ἳ	(1) ῷ ṕ . Ꞩ (2) Ꞩ					
J	r					
K						

	2 O
	2 O
	ҍ ҍ

ῷ ( )

O	ῷ				
	̃ ἑ h ἳ				Ջ
ḱ	ḱ ḱ			№	2
			48	ἳ	16
ᵕᵢᵢ					
A ῷ ḱ ἷ U	ῷ ḱ № ꟷ r U ꟷ r L				
B	ђ ╠ ꟷ̃ ŋ ɰ L ꟷ p L ꟷ ꟷ₇ ṇ ↄ Ḥ D ῷ ǖ ɔ ṗ ´ ṕ SiP € L ђ L ṗ				
C	1. ꟷ r ⁄ ἷ ǖ ╠ ʐ 2. ῷ ἑ 3. ῷ ̎ ί ʐ Ī 4. Ī ˜ ꟷ ꟷ ђ Ī				

D			
ҁ			

E ṗ	ṗ	№		
	SiP	2	2	4
	SiP	2	4	6
	SiP€ Lђ	4	8	12
	SiP Lђ	4	8	12
	SiPῼ Ü	2	6	8
	ΈE SiP L	2	4	6
		16	**32**	**48**

F	h № ђ ђ ì ________________

				~ ’ Ώ3		
G	≠	ṗ		Ḥ		
	1	SiP	1 2 3 4			+ ђ
	2	SiP	1 2 3 4			+ ђ
	3	SiP€ Lђ	1 2 3 4			+ ђ
	4	SiP Lђ	1 2 3 4			+ ђ

	5	SiP ῳ ǖ	1 2 3 4			+ ƀ
	6	SiP L	1 2 3 4			+ ƀ

H	ĩ №		
	10%	₮ ⱶ 10№ №9№ ⱶ 1№/ ⌠ 0.5/ Ẋ 0.25/ ǖ ⱴ 0.5-1 № № 10№	1 2 3 4
	30%		1 2 3 4
	60%	ҏ+ ج └ ƀ	1 2 3 4

I ĩ	(1) ῳ ṕ . ₮ (2) ₮
J	r
K	

	2 O
	2 O
	ƀ ƀ

ὢ ( )

O					
	˜ ἑ h ỉ				ჲ
ḱ	ḱ ḱ			№	2
			48	ỉ	32
ᵛᶦᶦ					
A ὢ ḱ ῗ U	ὢ ḱ № U ߺ r L				
B	ἑ Ḥ ߺ ߺ r ἑ ʃ ᵛᶦᶦ PCB RFIC/MMIC r ⁞ w № ᵛᶦᶦ ἑ ᾅ ╞ ῃ ῗ ˜ PCB Ḥ ἑ № ἑ ‰ ↕ EDA№ ῗ PCB ᾅ ὕ № ῗ ᾅ № ˜ PCB Ḥ / ᾅ ῃ				
C	1. ἑ ‰ ↕ ζ 2. 3. ą ߺ Ḥ ᴅ				

	Ī 4. Ī ˜ ٦ ٦ ƀ Ī

D ˀ			

		№		
E ṗ	ṗ			
	˜	2	2	4
	ǵ	2	4	6
	ῗ	4	4	12
	U ƀ	2	4	12
	ᾅ .	4	6	8
	ῗ ῃ	2	4	6
		0	8	8
		16	32	48

F	h № ƀ ƀ ἳ ______________________

				˜ ' Ώ3		
G	≢	ṗ		"Ḫ		
	1	˜				
	2	ǵ				+ ƀ
	3	ῗ				+ ƀ

	4	U ƀ				+ ƀ
	5	α̋ .				+ ƀ
	6	ı̋ ṇ ƀ				+ ƀ
	7	[illegible]				
H	ı̋ №					
	30%		ﬡ '		1 2 3 4	
	60%				1 2 3 4	
I ı̋	ɒ					
J	ı̋					
K						

	2 O
	2 O
	ƀ ƀ